

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/00 (2006.01)

H01L 23/60 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410031110.0

[45] 授权公告日 2008 年 1 月 23 日

[11] 授权公告号 CN 100364093C

[22] 申请日 2004.4.6

[21] 申请号 200410031110.0

[73] 专利权人 世界先进积体电路股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 林耿立 周业宁 柯明道

[56] 参考文献

US2003213971A1 2003.11.20

US6008508 A 1999.12.28

US6465848 B2 2002.10.15

US2002187601A1 2002.12.12

审查员 王欣

[74] 专利代理机构 北京三友知识产权代理有限公司

代理人 王一斌

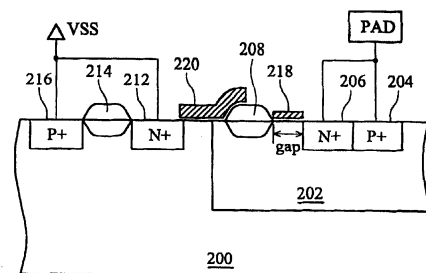
权利要求书 2 页 说明书 6 页 附图 3 页

[54] 发明名称

具有间隙结构的高压静电放电保护装置

[57] 摘要

一种具有间隙结构的高压静电放电保护装置，运用于横向扩散金氧半场效应晶体管 (LDMOS)。本发明利用 LDMOS 既有的结构，额外加上一间隙结构，用以分隔扩散区与场氧化区。当 LDMOS 的一寄生的硅控整流器未导通时，使 ESD 电流分散于其它放电路径，用以避免 ESD 电流过于集中于某一放电路径，进而造成元件的损坏。



1. 一种具有间隙结构的高压静电放电保护装置, 其特征在于所述静电放电保护装置包括:

一第一导电型基底;

一第二导电型阱区, 形成于该基底中;

一第二导电型第一扩散区, 形成于该基底中;

一栅极, 用以控制该第二导电型第一扩散区与该阱区的电性连接, 该栅极、该第二导电型第一扩散区与该阱区构成一场效应晶体管, 其中该栅极于该第一导电型基底上的投影区域, 重叠部分该第二导电型阱区;

一第三导电型第一扩散区, 形成于该阱区中;

一场氧化区, 形成于该阱区中, 位于该栅极与该第三导电型第一扩散区之间; 以及

一间隙, 形成于该阱区中, 位于该场氧化区与该第三导电型第一扩散区之间。

2. 根据权利要求1所述的静电放电保护装置, 其特征在于: 该静电放电保护装置另包含有一第一导电型第一扩散区, 形成于该基底中, 作为该基底的电接触点。

3. 根据权利要求2所述的静电放电保护装置, 其特征在于: 该第一、第三导电型为P型, 该第二导电型为N型。

4. 根据权利要求2所述的静电放电保护装置, 其特征在于: 该第一导电型为P型, 该第二、第三导电型为N型。

5. 根据权利要求4所述的静电放电保护装置, 其特征在于: 该第二导电型第一扩散区与该第一导电型第一扩散区在正常操作下, 是连接一第一电源线。

6. 根据权利要求2所述的静电放电保护装置, 其特征在于: 该第一、第三导电型为N型, 该第二导电型为P型。

7. 根据权利要求2所述的静电放电保护装置, 其特征在于: 该第一导电型为N型, 该第二、第三导电型为P型。

8. 根据权利要求7所述的静电放电保护装置, 其特征在于: 该第二导电型第一扩散区与该第一导电型第一扩散区在正常操作下, 是连接一第二电源线。

9. 根据权利要求1所述的静电放电保护装置, 其特征在于: 该间隙是由掩膜所定义。

10. 根据权利要求1所述的静电放电保护装置, 其特征在于: 更包括一虚置栅极, 形成于该第三导电型第一扩散区与该场氧化区之间。

具有间隙结构的高压静电放电保护装置

技术领域

本发明是有关于一种静电放电 (ESD) 保护装置, 特别是有关于一种在场氧化区与扩散区之间加入一间隙结构的静电放电保护装置, 用以避免场氧化区因 ESD 电流撞击所造成的损毁。

背景技术

因静电放电所造成的元件损害对集成电路产品来说已经成为最主要的可靠度问题之一。尤其是随着尺寸不断地缩小至深次微米的程度, 金氧半导体的栅极氧化层也越来越薄, 集成电路更容易因静电放电现象而遭受破坏。在一般的工业标准中, 集成电路产品的输出入接脚 (I/O pin) 必需能够通过 2000 伏特以上的人体模式静电放电测试以及 200 伏特以上的机械模式静电放电测试。因此, 在集成电路产品中, 静电放电防护元件必需设置在所有输出入焊垫 (pad) 附近, 以保护内部的核心电路 (core circuit) 不受静电放电电流的侵害。

图 1 为美国专利编号 6,459,127 所显示的一 ESD 防护元件, 同时也是一横向扩散金氧半场效应晶体管 (laterally diffused metal oxide semiconductor field effect transistor, LDMOS)。如图所示, 此 MOS 为 NMOS, NMOS 的栅极 110 设于 P 型基底 100 上, 源极以 N+ 扩散区 112 所构成, 漏极实体上是以 N 型阱区 102 所构成, 以 N+ 扩散区 106 作为电极连接点。栅极 110 用以控制 N+ 扩散区 112 与 N 型阱区 102 的电性连接, 可以接至接地线 VSS 或是接至前级驱动器 (pre-driver), 视电路要求而

定。

P型基底100透过P+扩散区116耦接至接地线VSS。N+扩散区112也耦接至接地线VSS。漏极透过N+扩散区106接至接合焊垫pad。P+扩散区104、N型阱区102、P型基底100以及N+扩散区112构成一寄生的SCR。

当一对接地线VSS为正电压的ESD事件发生于接合焊垫pad时，于SCR触发后，电流由接合焊垫pad开始，经过P+扩散区104、N型阱区102、P型基底100及N+扩散区112，到接地线VSS而释放。

然而，当ESD事件发生于接合焊垫pad且ESD电压尚未导通SCR时，ESD电流如放电路径A所示，由接合焊垫pad开始，经过N+扩散区106、N型阱区102、P型基底100及N+扩散区112，到接地线VSS而释放。

由于N+扩散区106的掺杂浓度较高，故阻抗较低；而N型阱区102的掺杂浓度较低，故阻抗较高。大部分的ESD电流会透过阻抗最小的放电路径来放电。放电路径A为N+扩散区106到N+扩散区112之间阻抗最小的放电路径，故当SCR未导通时，大部分的ESD电流将沿着阻抗最小的放电路径A到接地线VSS释放。

如放电路径A所示，ESD电流撞到场氧化区108后再转向，由于ESD电流具有相当大的能量，故在场氧化区108的转折处将产生高热，造成场氧化区108及放电路径A的损毁。

发明内容

本发明主要目的在于提供一种静电放电保护装置，用以避免ESD电流在SCR尚未导通时，过于集中于某一放电路径，进而造成元件损坏。

为了达到上述目的，本发明提出一种静电放电保护装置，包括：一第一导电型基底、一场效应晶体管(field effect transistor)、一第三导电型第一扩散区、一场氧化区以及一间隙。

该场效应晶体管，包括：一第二导电型阱区、一第二导电型第一扩散

区以及一栅极。该第二导电型阱区以及第二导电型第一扩散区，形成于基底中。该栅极，用以控制第二导电型第一扩散区与阱区的电性连接，其中该栅极于该第一导电型基底上的投影区域，重叠部分该第二导电型阱区。

该第三导电型第一扩散区、场氧化区以及间隙，形成于阱区中，其中，该场氧化区位于该栅极与该第三导电型第一扩散区之间，并且该间隙位于场氧化区与第三导电型第一扩散区之间。

第一导电型可以是P型或是N型，第二导电型可以是N型或P型，第三导电型可以是P型或是N型。

由于本发明的场氧化区与N⁺扩散区之间具有一间隙，当ESD事件发生时，而硅控整流器未导通的情况下，借由本发明的结构，使得ESD电流不再只集中于某一放电路径，用以避免放电路径的损毁，进而造成内部元件的损坏。

附图说明

图1为公知ESD保护装置的剖面示意图；

图2为本发明的ESD保护装置的一横向扩散NMOS的剖面图；

图3为本发明的ESD保护装置的一横向扩散NMOS的第二实施例剖面图；

图4为本发明的ESD保护装置的一横向扩散NMOS的第三实施例剖面图；

图5为本发明的ESD保护装置的一横向扩散PMOS的剖面图。

符号说明：

100、200、500：P型基底

102、202、503：N型阱区

104、116、204、216: P+扩散区

106、112、206、212: N+扩散区

108、114、208、214: 场氧化区

110、210、220: 栅极

218、222: 虚置栅极

501: N+埋层

502: P型阱区

pad: 接合焊垫

gap: 间隙

具体实施方式

图2显示本发明的ESD保护装置的一横向扩散NMOS的剖面图。如图所示,此NMOS的栅极210设于P型基底200上,源极以N+扩散区212所构成,漏极实体上是以N型阱区202所构成,但是由N+扩散区206作为电极连接点。栅极210用以控制N+扩散区212与N型阱区202的电性连接,可以接至接地线VSS或是接至前级驱动器(pre-driver),视电路要求而定。

P型基底200透过P+扩散区216耦接至接地线VSS。N+扩散区212也耦接至接地线VSS。漏极透过N+扩散区206接至接合焊垫pad。

场氧化区214分隔了N+扩散区212与P+扩散区216。场氧化区208设于N+扩散区206与栅极210之间,利用厚的氧化层来隔绝栅极210与N型阱区202。如果没有场氧化区208,栅极210下的栅氧化层可能因为在正常操作时,跨压过大而崩溃。场氧化区可由STI或LOCOS其中一种工艺所形成。间隙gap设于场氧化区208与N+扩散区206之间。

P+扩散区204设于N型阱区202之中,耦接至接合焊垫pad。其中,

P+扩散区 204 可设于间隙 gap 与 N+扩散区 206 之间；或是 N+扩散区 206 设于间隙 gap 与 P+扩散区 204 之间。由于 P+扩散区 204 的存在，所以形成了一个寄生的 SCR，由 P+扩散区 204、N 型阱区 202、P 型基底 200 以及 N+扩散区 212 所构成。

当一对接地线为负电压的 ESD 事件发生于接合焊垫 pad 时，由于 N 型阱区 202 透过 N+扩散区 206 接至接合焊垫 pad，P 型基底 200 透过 P+扩散区 216 耦接至接地线，因此 P 型基底 200 与 N 型阱区 202 的 PN 接面顺向导通，使得接地线与接合焊垫 pad 短路，而释放 ESD 电流。

当一对接地线 VSS 为正电压的 ESD 事件发生于接合焊垫 pad 时，于寄生的 SCR 触发后，电流由接合焊垫 pad 开始，经过 P+扩散区 204、N 型阱区 202、P 型基底 200 及 N+扩散区 212，到接地线 VSS 而释放。

然而，当 ESD 事件发生于接合焊垫 pad 且 ESD 电压尚未导通 SCR 时，ESD 电流如放电路径 B、C 所示，由接合焊垫 pad 开始，经过 N+扩散区 206、N 型阱区 202、P 型基底 200 及 N+扩散区 212，到接地线 VSS 而释放。

由于场氧化区 208 与 N+扩散区 206 之间具有一间隙 gap，使得 ESD 电流不会直接撞击场氧化区 208。与公知技术相比较，如果所有区域的大小都一样的条件下，由于图 1 的场氧化区 108 接触 N+扩散区 106，使得 ESD 电流大部分集中于阻抗最小的放电路径 A，易造成场氧化区 208 受 ESD 电流撞击而损毁。运用本发明的 ESD 保护装置的横向扩散 NMOS，使得 ESD 电流不再集中于某一放电路径，而能透过其它放电路径，如放电路径 B、C，到接地线 VSS 而释放。

其中，间隙 gap 的形成是由掩膜(mask)图案所定义，将形成 N+扩散区 206 的掩膜图案，距离场氧化区 208 一特定距离后，再形成 N+扩散区 206。若在间隙 gap 处掺杂 P+，则使 N+扩散区 206 与场氧化区 208 之间产生高阻抗区，用以避免 ESD 电流直接撞击场氧化区 208。

图 3 显示本发明静电放电保护装置的第二实施例剖面图。如图所示，

与图 2 相同元件使用相同的符号；透过掩膜图案在 N+扩散区 206 与场氧化区 208 之间形成一虚置栅极(dummy gate)218，虚置栅极 218 没有接到任何 DC 电源，为一个浮置(floating)栅。栅极 220 位于场氧化区 208 与 N+扩散区 212 之间，并且，栅极 220 部分延伸至场氧化区 208 之上。

图 4 显示本发明的静电放电保护装置的第三实施例剖面图。图 4 与图 3 相同元件使用相同的符号。如图所示，虚置栅极 222 部分延伸至场氧化区 208 之上。

图 5 为运用本发明的 PMOS 剖面图，在 P 型基底 500 上形成一 N 型埋层 501。其中，N 型埋层 501 与 N 型阱区 503 为 PMOS 的 N 型基底。与图 3 的 N 型元件相较，除了导电性 N 与 P 的对调之外，VSS 电源线(较低电压电源线)也换成 VDD 电源线(较高电压电源线)。

另外，图 3 与图 5 为 P 型基底上的高压 N 型及 P 型元件，在 N 型基底上形成高压 N 型及 P 型元件，亦可适用本发明的结构。由于 P 型元件与 N 型元件之间的转换，为业界人士所熟悉，因此，不再赘述。

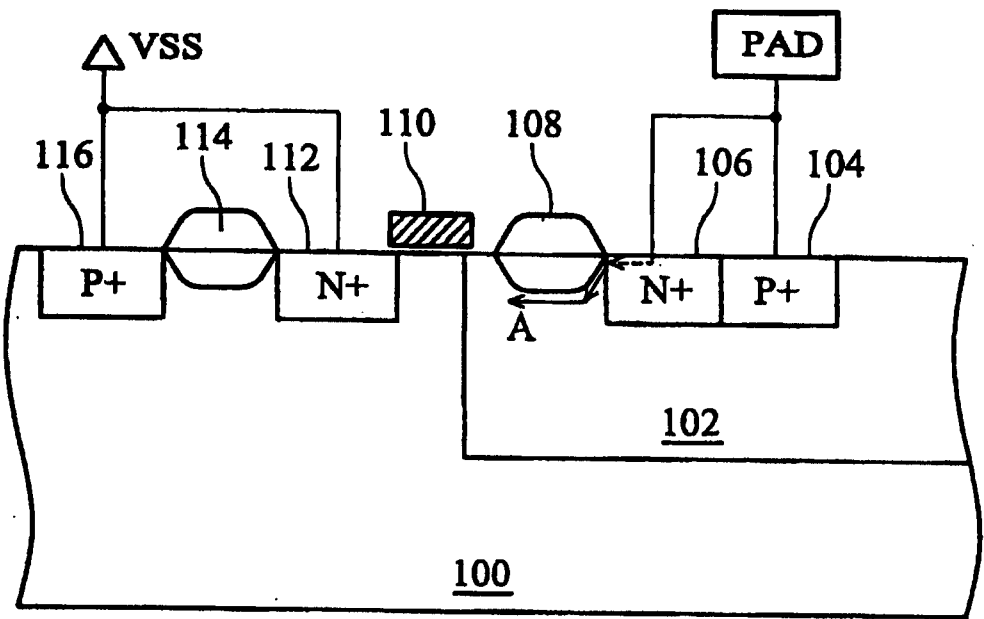


图1

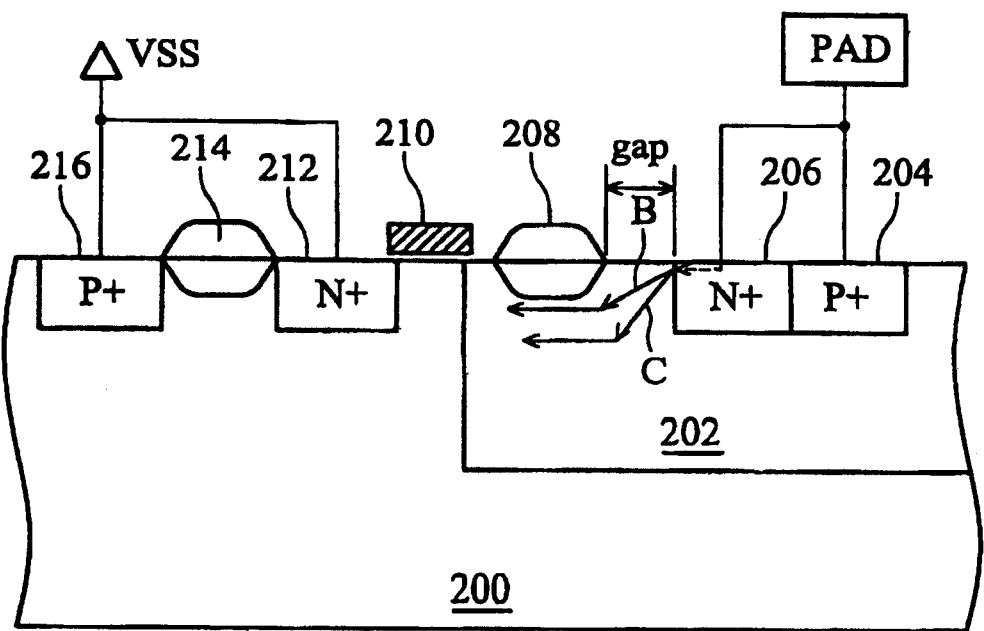


图2

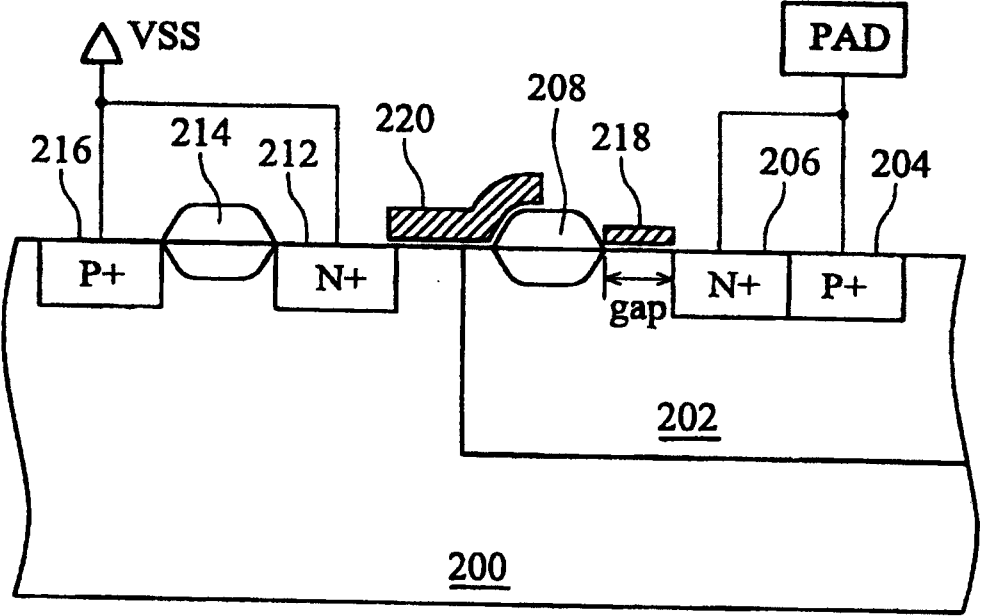


图3

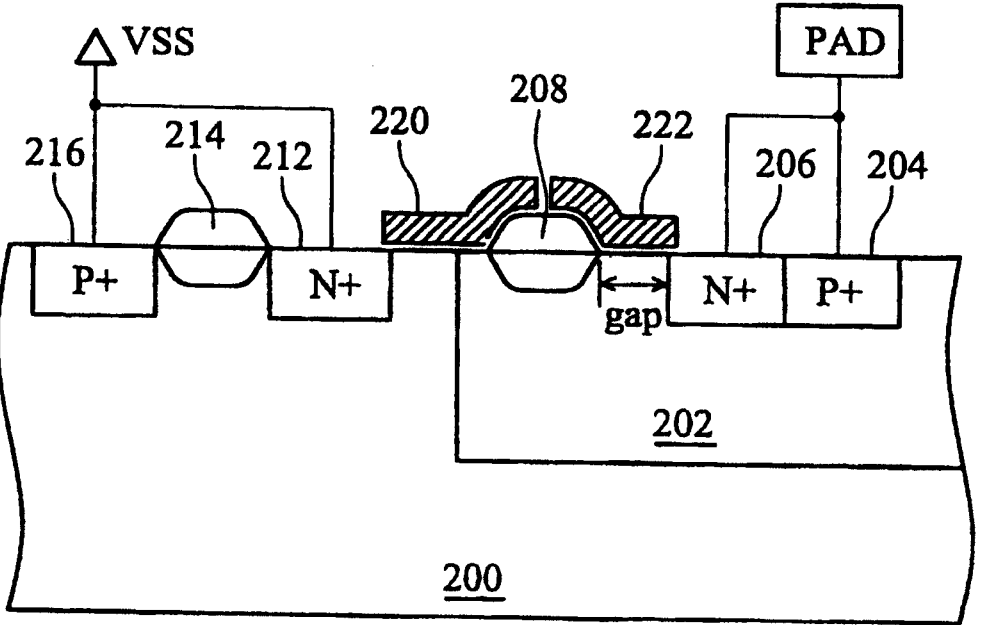


图4

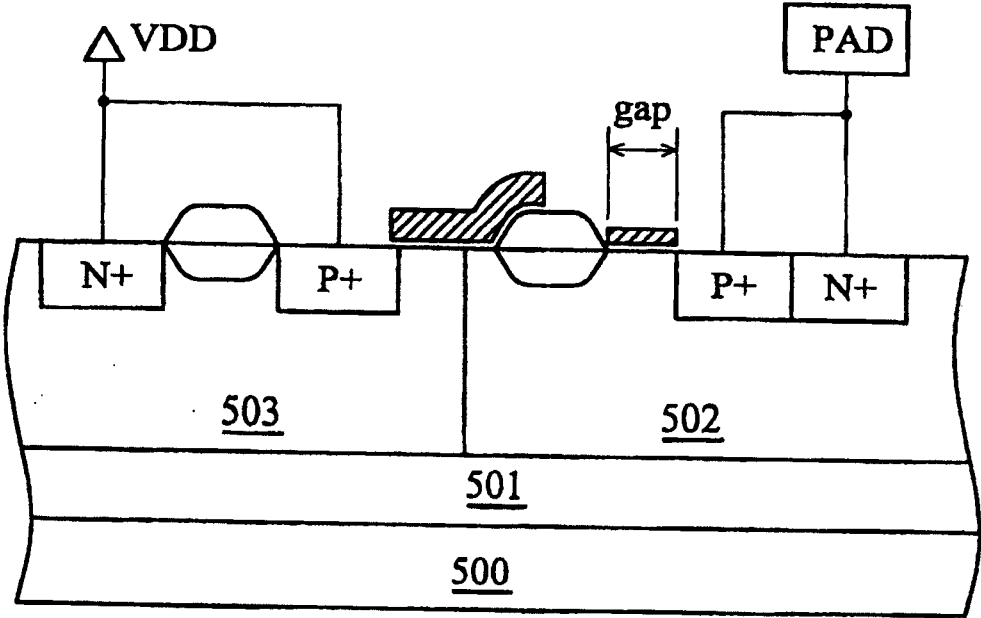


图5